

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-163113

(43)Date of publication of application : 26.08.1985

(51)Int.Cl.

G05F 1/56

H01L 27/06

H03F 3/16

(21)Application number : 59-018016

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 02.02.1984

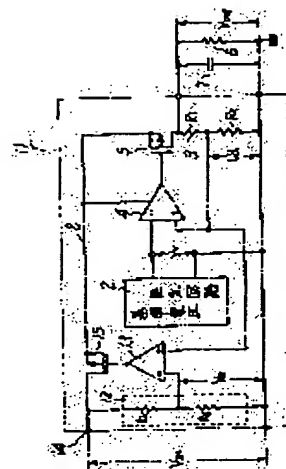
(72)Inventor : OZAKI MASAHARU
NAKAMURA AKIRA

(54) CONSTANT VOLTAGE CIRCUIT FOR MOS INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent back flow of current by comparing the level between an input DC voltage and a stabilized output voltage so as to turn off an MOS transistor (TR) subject to on/off control by the output when the input DC voltage is the stabilized output voltage or below.

CONSTITUTION: A constant voltage circuit 11 outputs a DC output voltage V_{out} stabilized from an input voltage V_{IN} . In case of $V_{IN} > V_{out}$, a high level voltage is applied to a gate of the MOS TR15, which is turned on and a prescribed level of the stabilized voltage is outputted. On the other hand, in case of $V_{IN} \geq V_{out}$, the MOS TR is turned off so as to prevent the electric charge charged in a capacitor 7 from flowing to the input power supply thereby supplying a backup current by the capacitor 7 only to a load 6.



BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭60-163113

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)8月26日

G 05 F 1/56
H 01 L 27/06
H 03 F 3/16

102

7315-5H
6655-5F
6628-5J

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 MOS集積回路用定電圧回路

⑯ 特 願 昭59-18016

⑰ 出 願 昭59(1984)2月2日

⑱ 発 明 者 尾 崎 正 晴 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 発 明 者 中 村 晃 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑳ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

㉑ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称

MOS集積回路用定電圧回路

2. 特許請求の範囲

入力直流電圧に基づいて一定レベルの安定化出力電圧を出力するMOS集積回路用定電圧回路において、前記入力直流電圧と前記安定化出力電圧とのレベル比較を行なう比較回路と、前記定電圧回路の入力側に設けられ前記比較回路の出力結果にตอบสนองしてオン、オフ制御されるMOSトランジスタとを備え、入力直流電圧のレベルが安定化出力電圧以下となつた場合に前記MOSトランジスタをオフとし、電流の逆流を防止するようにしたことを特徴とするMOS集積回路用定電圧回路。

3. 発明の詳細な説明

本発明は定電圧回路に関し、更に特定して述べると、MOS集積回路によつて構成された定電圧

回路に関する。

従来、定電圧出力を得るために、1チップのMOS集積回路として構成された定電圧回路が実用化されている。第1図には、この種のMOS集積回路にて構成した定電圧回路の従来例が示されている。この定電圧回路1は、入力直流電圧 V_{IS} から一定レベルの直流出力電圧 V_{OAS} を得るための回路であり、入力電圧 V_{IS} の変動にかかわらず一定レベルの基準電圧 V_R を出力するための基準電圧発生回路2と、出力電圧 V_{OAS} のレベルに応じた検出電圧 V_d を得るため抵抗器 R_1 、 R_2 で構成された分圧器3と、基準電圧 V_R と検出電圧 V_d とのレベル比較を行なう電圧比較器4とを備えている。そして、1入力直流電圧 V_{IS} と分圧器3との間に挿入されたトランジスタ5のバイアス電圧を、電圧比較器4の出力レベルに応じて調節し、基準電圧 V_R のレベルに見合った所定の一定出力電圧が、出力電圧 V_{OAS} として出力される構成となつている。

ところで、このような構成の定電圧回路にかい

ては、負荷6と並列にコンデンサ7を接続しておき、入力直流電圧 V_{in} が瞬断したような場合にはこのコンデンサ7から負荷6に電流を供給しうる構成とし、電源の瞬断等によつて負荷が不動作状態となることを防止するようになつてゐる。しかしながら、第1図に示す回路では、入力側の電圧の低下等が生じた場合、コンデンサ7に充電されていた電荷が負荷6に流れると同時にライン8を介して入力側電源にも流入するため、コンデンサ7によるバックアップ電圧出力がすぐ低減してしまふという不具合を有していた。この問題を解決するためには、ライン8に逆流防止用のダイオードを設ければよいが、ダイオードを設けると、電圧低下の問題を生じてしまい、特に入力直流電圧のレベルが小さい場合には極めて不具合である。

本発明は、上記事情に鑑みてなされたものであり、その目的は、定電圧回路に入力される電圧のレベル低下を極力小さく抑えて、バックアップ用コンデンサから電源へ流入する電流を抑えるようにした定電圧回路を提供することにある。

本発明の構成は、入力直流電圧に基づいて一定レベルの安定化出力電圧を出力するMOS集積回路用定電圧回路において、上記入力直流電圧と上記安定化出力電圧とのレベル比較を行なう比較回路と、上記定電圧回路の入力側に設けられ上記比較回路の出力結果にตอบสนองしてオン、オフ制御されるMOSトランジスタとを備え、入力直流電圧のレベルが安定化出力電圧以下となつた場合に上記MOSトランジスタをオフとし、電流の逆流を防止した点に特徴を有する。

以下、図示の実施例により本発明を詳細に説明する。

第2図には、本発明によるMOS集積回路用定電圧回路の一実施例が示されている。この定電圧回路11は、1つのチップ上にMOS集積回路として構成されており、入力電圧 V_{in} から、安定化された直流出力電圧 V_{out} を出力する構成となつてゐる。尚、第2図中、第1図の各部と同一の部分には同一の符号を付し、その説明を省略する。

第2図中符号12で示されるのは、抵抗器 R_1 、

R_2 により構成される分圧器であり、該分圧器12からは、入力電圧 V_{in} に応じたレベルの検出電圧 V_0 が出力される。図示の実施例では、分圧器3の分圧比 R_1/R_2 と、分圧器12の分圧比 R_3/R_4 とは同一に設定されている。

各分圧器3、12からの検出電圧 V_0 、 V_1 は、電圧比較器13の+入力端子及び-入力端子に夫々入力されており、 $V_0 > V_1$ の場合にはその出力レベルが「H」となり、 $V_0 \leq V_1$ の場合には「L」となる。上述の如く、各分圧器3、12の分圧比は同一に設定されているので、 $V_{out} > V_{in}$ の場合には電圧比較器13の出力レベルが「H」となり、 $V_{out} \leq V_{in}$ の場合には電圧比較器13の出力レベルが「L」となる。入力電圧 V_{in} の印加されている入力端子14と電源ライン8との間には、MOSトランジスタ15のドレイン・ソース回路が図示の如く介挿接続されており、MOSトランジスタ15のゲートには、電圧比較器13の出力が接続されている。

このような構成によると、 $V_{in} > V_{out}$ の場

合には、MOSトランジスタ15のゲート電極には高レベルの電圧が印加され、MOSトランジスタ15はオンとなり、この定電圧回路11は第1図に示した回路で説明したように作動し、一定レベルの安定化電圧を、出力電圧 V_{out} として出力する。一方、何らかの理由により、 $V_{in} \geq V_{out}$ となると、MOSトランジスタ15はオフとなり、コンデンサ7に充電された電荷が入力電源側に流入されるのを防止し、コンデンサ7によるバックアップ電流を負荷6にのみ供給することができる。

この場合、電源ライン8に挿入されているのはMOSトランジスタであるから、ダイオードを用いた場合に比べ、そこでの電圧降下量が少なく、従つて、 V_{in} のレベルが比較的小さい場合であつても、定電圧回路11の作動に著しい影響を与えることがない。

本発明によれば、上述の如く、入力電圧を著しく低下せしめることなく、出力側から入力側への電流の逆流を抑えることができるので、出力側にバックアップ用コンデンサを設けた場合において、

入力側の電位が低下した場合には、バックアップ用コンデンサが入力側に電流を供給するのを防止し、バックアップ電流を負荷にのみ流すことができ、良好なバックアップ動作を期待することができる。

4. 図面の簡単な説明

第1図は従来のMOS集積回路用定電圧回路の一例を示す回路図、第2図は本発明によるMOS集積回路用定電圧回路の一実施例を示す回路図である。

- | | |
|----------------|------------------|
| 2…基準電圧発生回路 | 3, 12…分圧器 |
| 4, 13…電圧比較器 | 5…トランジスタ |
| 6…負荷 | 7…コンデンサ |
| 8…電源ライン | 11…定電圧回路 |
| V_{IN} …入力電圧 | V_{out} …出力電圧 |
| V_r …基準電圧 | V_d, V_o …検出電圧 |

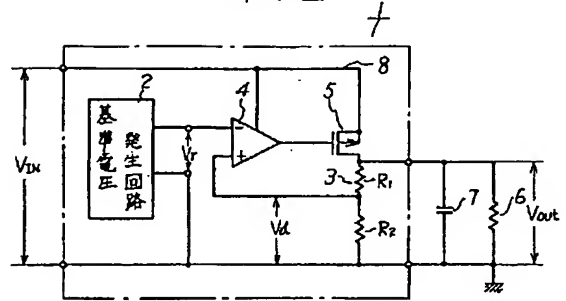
以上

出願人 セイコー電子工業株式会社

代理人 弁理士 最上



第1図



第2図

